

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :

2 772 217

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national :

97 15814

⑤1 Int Cl⁶ : H 03 K 17/22, H 01 L 27/00

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 09.12.97.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 11.06.99 Bulletin 99/23.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : SGS THOMSON MICROELECTRO-
NICS SA Société anonyme — FR.

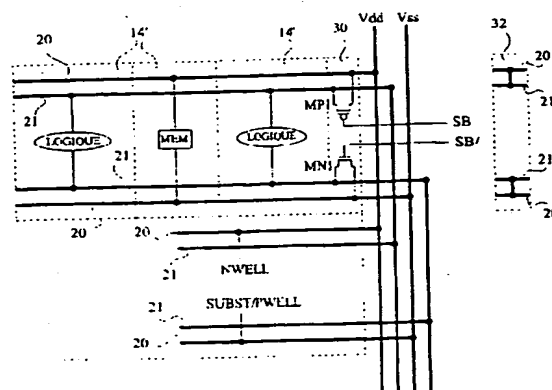
⑦2 Inventeur(s) : SCHOELLKOPF JEAN PIERRE.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET DE BEAUMONT.

⑤4 CELLULE ELEMENTAIRE DE CIRCUIT INTEGRE.

⑤7 L'invention concerne une cellule de bibliothèque des-
tinée à former un circuit intégré par juxtaposition avec
d'autres cellules de la bibliothèque, la cellule (14) compre-
nant des segments de ligne d'alimentation (15) disposés de
manière qu'ils se connectent aux segments de ligne d'ali-
mentation homologues d'une cellule adjacente afin d'ali-
menter un circuit de la cellule. La cellule comprend
également, pour au moins un potentiel d'alimentation préde-
terminé (Vdd, Vss), deux segments de ligne d'alimentation,
un premier (20), non relié au circuit de la cellule, étant
destiné à recevoir le potentiel d'alimentation prédéterminé, et le
deuxième (21) étant relié au circuit de la cellule.



FR 2 772 217 - A1



CELLULE ELEMENTAIRE DE CIRCUIT INTEGRE

La présente invention concerne une bibliothèque de cellules élémentaires permettant, par simple juxtaposition des cellules, de réaliser un circuit intégré complet. La présente invention concerne plus particulièrement des cellules de bibliothèque bien adaptées à la réalisation de circuits à faible consommation statique.

Dans de nombreuses applications, comme la radiotéléphonie, on souhaite que les circuits électroniques consomment très peu de courant statique afin de minimiser la consommation dans un mode de veille. Par ailleurs, on souhaite également que de tels circuits puissent fonctionner à fréquence élevée, ce qui est incompatible avec une faible consommation statique. En effet, pour pouvoir fonctionner à fréquence élevée, on utilise des transistors à faible seuil de commutation, ce qui permet aux transistors d'avoir une faible résistance à l'état passant et de conduire un courant important. Toutefois, à l'état bloqué, ces transistors ont un courant de fuite relativement important qui, multiplié par le nombre de plus en plus élevé de transistors d'un circuit complet, entraîne une consommation de puissance statique non-négligeable.

Pour réduire la puissance statique, on propose classiquement un système de mise en veille utilisant des

transistors à seuil de commutation élevé qui ont la particularité d'avoir un faible courant de fuite. Ces transistors à faible courant de fuite ne sont par contre pas utilisés pour constituer le circuit, car sa fréquence de fonctionnement diminuerait
5 considérablement.

La figure 1 illustre une utilisation classique de transistors à faible courant de fuite pour la mise en veille d'un circuit logique 10. Le circuit 10 est alimenté à partir de deux lignes secondaires Vdd2 et Vss2 reliées respectivement à des
10 lignes d'alimentation principales Vdd et Vss par des transistors respectifs MP1 et MN1 à faible courant de fuite. Le transistor MP1 est un transistor MOS à canal P commandé par un signal de mise en veille SB, et le transistor MN1 est un transistor à canal N commandé par le complément SB/ du signal de mise en veille. Les
15 transistors MP1 et MN1 sont de taille adaptée au courant maximal consommé par le circuit 10. Les transistors du circuit 10 sont des transistors normaux, c'est-à-dire à faible seuil de commutation permettant d'obtenir une fréquence de fonctionnement maximale.

20 Avec cette configuration, on obtient une diminution de facteur 10 environ du courant statique lorsque les transistors MP1 et MN1 sont bloqués.

Bien entendu, certains circuits, notamment des points mémoire 12, doivent rester alimentés pendant la veille, faute de
25 quoi des informations enregistrées avant la mise en veille seraient perdues. Ainsi, les points mémoire 12, comme cela est représenté, sont alimentés entre les lignes principales Vdd et Vss, et non entre les lignes secondaires Vdd2 et Vss2.

La figure 2 représente partiellement et schématiquement
30 un circuit réalisé à partir de cellules d'une bibliothèque. Les cellules 14, généralement de largeur constante, sont juxtaposées selon des rangées jointives. Leur longueur varie en fonction de la complexité des circuits qu'elles contiennent. Chaque cellule comporte un certain nombre de segments conducteurs 15, par
35 exemple des métallisations, correspondant à des signaux qui sont

fournis à tous ou à la plupart des circuits, tels que les tensions d'alimentation, les signaux d'horloge, de remise à zéro, etc. La figure 2 ne représente que les segments 15 correspondant aux lignes d'alimentation. Les segments 15 sont parallèles et s'étendent d'une extrémité à l'autre de chaque cellule dans le sens des rangées. Ainsi, en juxtaposant les cellules, les segments sont interconnectés automatiquement pour constituer les lignes destinées à distribuer les signaux correspondants.

Une fois que les cellules 14 sont ainsi assemblées, il ne reste plus qu'à router en automatique les segments 15 des cellules 14 en extrémité de rangée ainsi que tous les signaux ne correspondant pas aux segments 15.

Cette technique permet de concevoir rapidement des circuits intégrés avec un très faible risque d'erreur par rapport au schéma d'origine du circuit, ceci grâce à une automatisation de pratiquement toutes les opérations.

Toutefois, les circuits à mise en veille selon la technique illustrée en figure 1 ne peuvent bénéficier de ces avantages avec des bibliothèques de cellules classiques. En effet, comme on l'a précédemment indiqué, certains circuits, notamment les circuits mémoire (bascules, registres, etc.) ne doivent pas être mis en veille et sont pour cela en permanence connectés aux lignes d'alimentation principales. Généralement, pour des raisons de placement automatique et d'optimisation de routage, les bascules et autres points mémoire se retrouvent dispersés dans le circuit, d'où il résulte que l'on retrouve des points mémoire dans des rangées de cellules contenant des circuits que l'on souhaite pouvoir mettre en veille. Or les cellules de bibliothèque doivent être juxtaposées de manière que leurs segments d'alimentation s'interconnectent. Ceci interdit donc d'alimenter les points mémoire et les autres circuits par des lignes d'alimentation séparées afin de pouvoir mettre en veille les uns sans mettre en veille les autres. Il n'est pas envisageable de prévoir un écartement entre les cellules contenant des points mémoire et les autres cellules, car ceci

entraînerait des opérations manuelles supprimant l'avantage de la rapidité et du faible risque d'erreur de cette technique de conception.

Un objet de la présente invention est de prévoir une
5 cellule de bibliothèque permettant d'utiliser cette technique avec tout type de circuit, notamment ceux possédant une fonction de mise en veille.

Ces objets sont atteints grâce à une cellule de bibliothèque destinée à former un circuit intégré par
10 juxtaposition avec d'autres cellules de la bibliothèque, la cellule comprenant des segments de ligne d'alimentation disposés de manière qu'ils se connectent aux segments de ligne d'alimentation homologues d'une cellule adjacente afin d'alimenter un circuit de la cellule. La cellule comprend en
15 outre, pour au moins un potentiel d'alimentation prédéterminé, deux segments de ligne d'alimentation, un premier, non relié au circuit de la cellule, étant destiné à recevoir le potentiel d'alimentation prédéterminé, et le deuxième étant relié au circuit de la cellule.

20 Selon un mode de réalisation de la présente invention, la cellule comprend deux segments de ligne d'alimentation pour chaque potentiel d'alimentation.

Selon un mode de réalisation de la présente invention, le premier segment est connecté à un caisson de type N si le
25 potentiel d'alimentation associé est le plus haut et au substrat ou à un caisson de type P si le potentiel d'alimentation associé est le plus bas.

Selon un mode de réalisation de la présente invention, la cellule comprend un transistor à faible courant de fuite
30 connecté entre les premier et deuxième segments de ligne d'alimentation, ledit transistor étant rendu non-conducteur par un signal de mise en veille.

Selon un mode de réalisation de la présente invention, la cellule comprend un court-circuit entre les premier et
35 deuxième segments de ligne d'alimentation.

La présente invention prévoit également une bibliothèque de cellules comprenant des cellules du type susmentionné, et des cellules intégrant un point mémoire comportant également des premier et deuxième segments de ligne d'alimentation, le point mémoire étant connecté au premier segment de ligne d'alimentation.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, illustre une technique classique de mise en veille permettant de réduire notablement la consommation statique d'un circuit ;

la figure 2 illustre une technique de conception utilisant des cellules de bibliothèque classiques ;

la figure 3 illustre une première application de cellules de bibliothèque selon la présente invention ; et

la figure 4 illustre une deuxième application de cellules de bibliothèque selon la présente invention.

La figure 3 représente partiellement et schématiquement deux rangées de cellules de bibliothèque selon la présente invention. Chaque cellule 14' selon l'invention comprend, pour chacun des potentiels d'alimentation Vdd et Vss, deux segments de ligne d'alimentation, l'un principal 20 et l'autre secondaire 21. Bien entendu, ces segments 20 et 21 s'étendent d'une extrémité à l'autre de la cellule et ont des positions fixes de manière qu'ils puissent se raccorder aux segments homologues d'une cellule adjacente pour former des lignes d'alimentation continues.

Les segments principaux 20 sont destinés, de manière classique, à être reliés aux potentiels d'alimentation Vdd et Vss.

A la figure 3, les lignes d'alimentation secondaires constituées par les segments 21 sont reliées aux lignes

secondaires homologues des autres rangées par des conducteurs en extrémité de rangée.

Lorsqu'une cellule 14' comprend un circuit logique qui peut être mis en veille, ce circuit est alimenté à partir des segments secondaires 21, comme cela est illustré pour deux cellules extrêmes à la figure 3. Si la cellule contient un point mémoire (une bascule), ce point mémoire est alimenté à partir des segments principaux 20, comme cela est illustré pour une cellule centrale.

La présente invention prévoit par ailleurs deux cellules de bibliothèque spéciales. La première cellule spéciale 30, illustrée en bout de rangée à la figure 3, comprend un transistor MOS à canal P MP1 connecté entre les segments 20 et 21 associés au potentiel d'alimentation haut Vdd, et un transistor à canal N MN1 connecté entre les segments 20 et 21 associés au potentiel d'alimentation bas Vss. Les transistors MP1 et MN1 sont respectivement commandés par un signal de mise en veille SB et son complément SB/.

La deuxième cellule spéciale 32 est destinée à être utilisée à la place de la cellule spéciale 30 lorsque l'on souhaite réaliser un circuit sans fonction de mise en veille. Elle comporte un court-circuit entre les segments 20 et 21 associés à chacun des potentiels d'alimentation.

Dans l'application de la figure 3, où les lignes d'alimentation principales et secondaires des rangées sont reliées entre elles, il suffit de placer une seule cellule spéciale 30 dans l'une quelconque des rangées pour conférer au circuit la fonction de mise en veille. Les transistors MP1 et MN1 sont de préférence à faible fuite et doivent bien entendu être dimensionnés pour pouvoir supporter le courant maximal consommé par le circuit.

Lorsque l'on souhaite réaliser un circuit dépourvu de fonction de mise en veille, on remplace la cellule spéciale 30 par la cellule spéciale 32.

De préférence, comme cela est illustré à la partie inférieure de la figure 3, les segments principaux 20 associés au potentiel d'alimentation haut Vdd sont connectés au caisson N du circuit, tandis que les segments principaux 20 associés au
5 potentiel bas Vss sont connectés au substrat du circuit dans les technologies à caisson N unique ou au caisson P dans les technologies à triple caisson.

La figure 4 illustre une deuxième application des cellules de bibliothèque selon l'invention. Ici, les lignes
10 secondaires 21 des rangées ne sont pas connectées les unes aux autres. Par contre, dans chaque rangée, on dispose une cellule spéciale 30 (ou 32) qui assure la connexion des lignes secondaires 21 de la rangée aux lignes principales 20 correspondantes. Les lignes principales 20 sont bien entendu
15 toujours connectées les unes aux autres et reçoivent les potentiels d'alimentation Vdd et Vss.

Ainsi, comme cela est représenté, on peut placer les cellules spéciales 30 en alignement vertical, et elles peuvent comporter des segments verticaux qui s'interconnectent par
20 juxtaposition verticale pour constituer les lignes servant à véhiculer les signaux de mise en veille SB et SB/.

Dans cette application, les transistors des cellules spéciales 30 sont de taille notablement plus faible que dans le cas de la figure 3, car ils véhiculeront une faible partie du
25 courant maximal consommé par le circuit.

Cette application permet par ailleurs d'utiliser des cellules spéciales 32 pour certaines rangées comportant des circuits que l'on ne souhaite pas mettre en veille, par exemple des circuits destinés à commander les signaux de mise en veille
30 SB et SB/.

Bien entendu, si on ne souhaite pas mettre en veille le circuit, toutes les cellules spéciales seront du type 32.

La présente invention a été décrite dans le cas où la mise en veille s'effectue en isolant les circuits des deux lignes
35 d'alimentation principales. Dans certaines applications, on isole

SECRET - EYES ONLY

REVENDICATIONS

1. Cellule de bibliothèque destinée à former un circuit intégré par juxtaposition avec d'autres cellules de la bibliothèque, la cellule (14) comprenant des segments de ligne d'alimentation (15) disposés de manière qu'ils se connectent aux segments de ligne d'alimentation homologues d'une cellule adjacente afin d'alimenter un circuit de la cellule, caractérisée en ce qu'elle comprend, pour au moins un potentiel d'alimentation prédéterminé (Vdd, Vss), deux segments de ligne d'alimentation, un premier (20), non relié au circuit de la cellule, étant destiné à recevoir le potentiel d'alimentation prédéterminé, et le deuxième (21) étant relié au circuit de la cellule.

2. Cellule selon la revendication 1, caractérisée en ce qu'elle comprend deux segments de ligne d'alimentation (20, 21) pour chaque potentiel d'alimentation.

3. Cellule selon la revendication 1, caractérisée en ce que le premier segment (20) est connecté à un caisson de type N si le potentiel d'alimentation associé est le plus haut (Vdd) et au substrat ou à un caisson de type P si le potentiel d'alimentation associé est le plus bas (Vss).

4. Cellule (30) selon la revendication 1 ou 2, caractérisée en ce qu'elle comprend un transistor à faible courant de fuite (MN1, MP1) connecté entre les premier et deuxième segments de ligne d'alimentation (20, 21), ledit transistor étant rendu non-conducteur par un signal de mise en veille (SB, SB/).

5. Cellule (32) selon la revendication 1 ou 2, caractérisée en ce qu'elle comprend un court-circuit entre les premier et deuxième segments de ligne d'alimentation (20, 21).

6. Bibliothèque de cellules comprenant des cellules selon l'une quelconque des revendications 1 à 5, et des cellules intégrant un point mémoire comportant également des premier et deuxième segments de ligne d'alimentation (20, 21), le point mémoire étant connecté au premier segment de ligne d'alimentation (20).

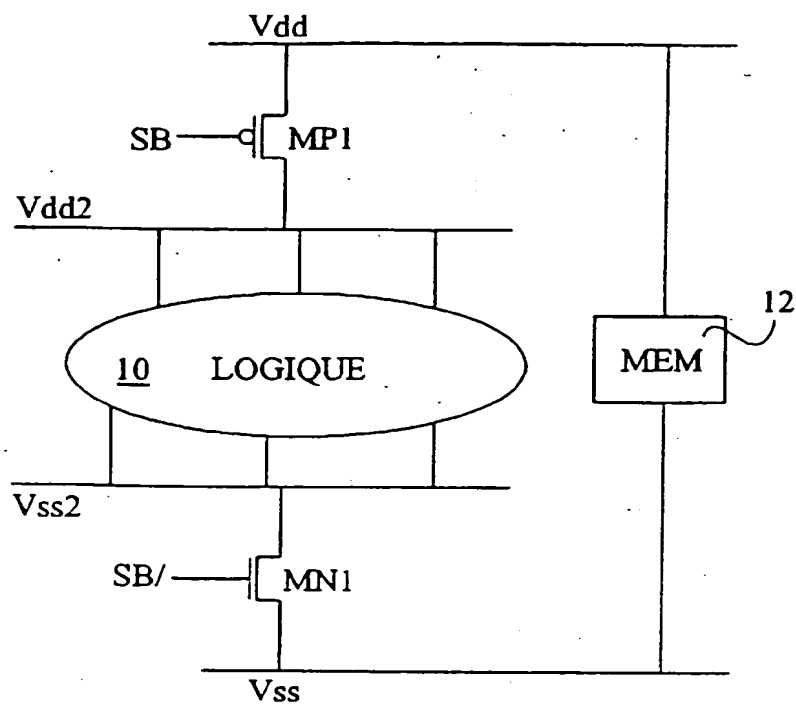


Fig 1

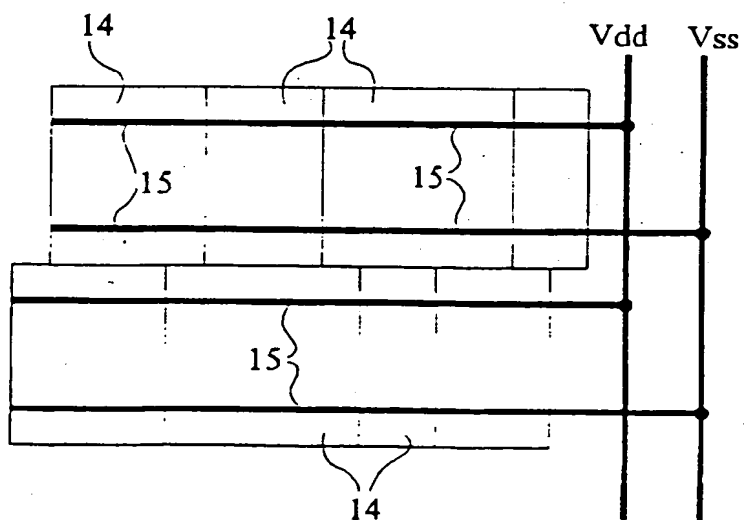


Fig 2

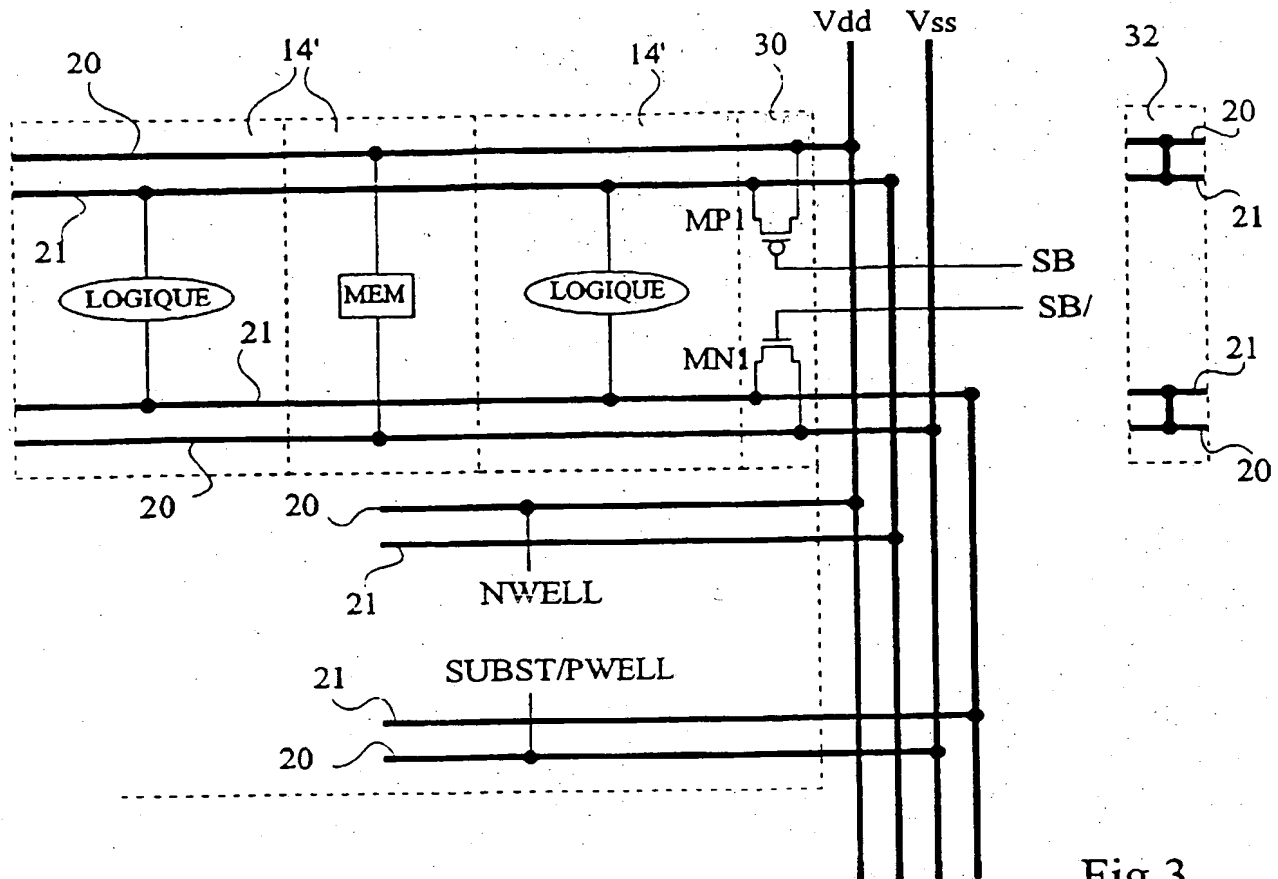


Fig 3

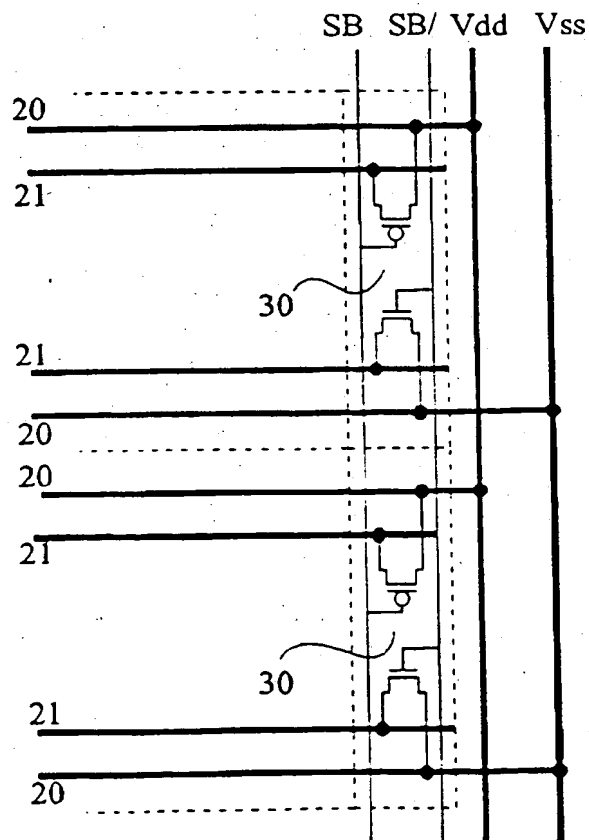


Fig 4

INSTITUT NATIONAL

de la
PROPRIETE INDUSTRIELLERAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la rechercheN° d'enregistrement
nationalFA 553084
FR 9715814

DOCUMENTS CONSIDERES COMME PERTINENTS		Révisions concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	PATENT ABSTRACTS OF JAPAN vol. 095, no. 011, 26 décembre 1995 & JP 07 212217 A (NIPPON TELEGR & TELEPH CORP), 11 août 1995, * abrégé * * figure 7 *	1,2,4
X	--- US 5 614 847 A (KAWAHARA TAKAYUKI ET AL) 25 mars 1997 * colonne 28, ligne 55 - colonne 29, ligne 29; figures 53A, 53B * * colonne 10, ligne 48 - colonne 11, ligne 1; figure 11A *	1,2,4
A	* colonne 17, ligne 22 - colonne 20, ligne 1; figures 29-31 *	6
A	--- GB 2 300 985 A (HYUNDAI ELECTRONICS IND) 20 novembre 1996 * page 3, ligne 24 - page 6, ligne 23; figures 2, 5A, 5B *	1-4
A	* page 7, ligne 4 - page 8, ligne 7; figure 4 *	6
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		H03K H01L
Date d'achèvement de la recherche		Examineur
27 juillet 1998		Feuer, F
CATEGORIE DES DOCUMENTS CITES		
X: particulièrement pertinent à lui seul Y: particulièrement pertinent en combinaison avec un autre document de la même catégorie A: pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O: divulgation non-écrite P: document intercalaire T: théorie ou principe à la base de l'invention E: document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D: cité dans la demande L: cité pour d'autres raisons & : membre de la même famille, document correspondant		

BLANK PAGE